

硅基 MEMS 加工技术及其标准工艺研究

王阳元, 武国英, 郝一龙, 张大成, 肖志雄, 李 婷, 张国炳, 张锦文

(北京大学微电子研究院, 北京 100871)

摘 要: 本文论述了硅基 MEMS 标准工艺, 其中包括三套体硅标准工艺和一套表面牺牲层标准工艺. 深入地研究了体硅工艺和表面牺牲层工艺中的关键技术. 体硅工艺主要进行了以下研究: 硅/硅键合、硅/镍/硅键合、硅/玻璃键合工艺及其优化; 研究了高深宽比刻蚀工艺、优化了工艺条件; 解决了高深宽比刻蚀中的 Lag 效应; 开发了复合掩膜高深宽比多层硅台阶刻蚀和单一材料掩膜高深宽比多层硅台阶刻蚀工艺研究. 表面牺牲层工艺主要进行了下列研究: 多晶硅薄膜应力控制工艺; 防粘附技术的研究与开发.

关键词: MEMS 标准工艺; 高深宽比刻蚀; 键合; 多晶硅; 应力; 防粘附

中图分类号: TN304 **文献标识码:** A **文章编号:** 0372-2112 (2002) 11-1577-08

Study of Silicon-Based MEMS Technology and Its Standard Process

WANG Yang-yuan, WU Guo-ying, HAO Yi-long, ZHANG Da-cheng,

XIAO Zhi-xiong, LI Ting, ZHANG Guo-bing, ZHANG Jin-wen

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: In this paper the four sets of standard processes developed by Institute of microelectronics of Peking University are presented. In these four sets of standard process, three of them are bulk micromachining processes and one is surface sacrificial process. The key technologies used in these processes were studied systematically. Research work included: systematically study how to control the stress of polysilicon film; developed two anti-stiction technologies; research of Si/Si bonding, Si/Ni/Si bonding and Si/Glass bonding; study and optimization of high aspect ratio silicon etching; successfully reducing RIE Lag from 23% to 5%; exploiting two kinds of multi-step silicon etching technologies.

Key words: MEMS standard process; high aspect ratio; bonding; polysilicon; stress; anti-stiction

1 引言

微机电系统 (micro electro-mechanical systems, 缩写为 MEMS, 美国惯用词) 或称微机械 (Micromachine, 日本惯用词) 或微系统技术 (Microsystems Technology, 欧洲惯用词) 是一个新兴的、多学科交叉的高科技领域, 它涉及电子、机械、材料、制造、信息与自动控制、物理、化学和生物等多种学科, 并集约了当今科学技术的许多尖端成果, 在信息、通信、航空、航天、汽车、生物、医疗、环保、工业控制等领域都有广泛的应用前景.

MEMS 是随着半导体集成电路微细加工技术和超精密机械加工技术的发展而发展起来的. 其特点并非单纯的微小化, 而是指可以批量制作的、集微型构件、微型传感器、微型执行器以及信号处理和电路等于一体的微系统. 它的加工技术主要有三类: (1) 利用 X 射线深度光刻、微电铸、微铸塑的 LIGA 技术 (德文 lithograph galvanformung und abformung 缩写), 主要研究力量在德国; (2) 精密机械加工技术 (如微细电火花 EDM, 超声波加工等), 以日本为代表; (3) 在集成电路技术 (IC) 基础上发展起来的硅 MEMS 加工技术, 以美国为代表. 由

于硅 MEMS 技术是 IC 技术的发展和拓宽, 具有批量生产、成本低、易与电路集成制作等优点, 目前已成为 MEMS 加工技术的主流.

IC 工艺为 MEMS 制造技术提供了基础. 伴随着微电子学领域中半导体加工技术的发展, 在硅基片上制作微小机械结构的研究得到了开展. 由于 MEMS 器件种类繁多, 而且多具有可动微结构, 因此它在设计、材料、加工、系统集成、封装和测试技术都提出了新的要求. 这一方面形成了 MEMS 自己不同于 IC 的特点, 另一方面也造成了研究的方向和内容具有很大的分散性. 因此, 如何利用已有的工艺条件更有效的开展 MEMS 研究, 成为各国 MEMS 研究人员的关注的焦点. 建立标准化的 MEMS 加工工艺是一种较为有效的发展 MEMS 技术的途径, 它为缺乏实验手段的研究人员提供了一种便宜、快捷、有成品率保障的加工手段. 标准化工艺的核心是开发一种或多种适用性较广的、稳定的、成品率较高的工艺模块, 辅助以相应的设计规则, 对外发布. 同时, 加工线定期发布某种工艺的流片时间表, MEMS 研究人员根据工艺模块和设计规则设

收稿日期: 2002-01-10; 修回日期: 2002-08-18

基金项目: 国家重大基础研究项目 (973) (No. G1999033109, G1999033108)

器件版图,多个用户共享一批流片,共同负担流片费用。八十年代末伯克利的一批研究人员与其他大学和公司合作开发了表面牺牲层工艺,并将优化的牺牲层工艺向 BSAC (berkeley sensor and actuator center) 的成员开放。众多的学生、学者和工程师利用这一最早的 MEMS 优化工艺设计了大量的实验结构。美国的许多大公司及研究机构都引进这一技术并使之标准化。目前,标准化工艺在美国已开始实施,如美国的 MCNC、ADI、SANDIA 国家实验室均将其研究成熟的工艺作为标准化工艺对外发布,为 MEMS 研究提供服务。由于大批不具备加工实验环境的学校和研究机构可以借助于有效、可靠的标准化加工工艺进行 MEMS 技术的研究,因此使硅 MEMS 技术在过去的十年间取得了迅速的发展。目前,欧洲的德国、瑞士、法国等国家也陆续出现专门进行标准化工艺及其服务的研究。

开展标准 MEMS 加工工艺研究是 MEMS 技术走出实验室的必由之路,是使 MEMS 从研究走向应用,实现产业化的关键。建于北京大学微电子研究院的“微/纳米加工技术国家级重点实验室”在前期研究工作的基础上,在国内首先开展了标准化工艺的研究^[1]。目前,已开发出四套标准工艺,标准化工艺模块和设计规则已开始发布,并且有多家研究单位利用这些标准工艺实现了自己的设计。本文正是基于“微/纳米加工技术国家重点实验室”6 年来的工作,系统阐述了我们的标准工艺及其关联技术的研究成果。

2 体硅加工技术关键工艺研究

硅基 MEMS 加工技术主要依照体硅加工技术和表面牺牲层技术两条主线发展,具有如下特点:(1)体硅工艺主要表现为键合与深刻蚀技术的组合,追求大质量块和低应力以及三维加工;(2)表面牺牲层技术向多层、集成化方向发展。

体硅加工技术指对硅单晶圆片进行加工,其所获得的有效部件是由硅单晶构成。早期的体硅加工工艺围绕 KOH 腐蚀技术开展,20 世纪 70 年代就已成功的用于压力传感器的制作。但 KOH 腐蚀技术精度不高,难以制备复杂的高精度的 MEMS 结构。随着键合技术和硅深刻蚀(DIRE)技术的出现,多种体硅加工的新工艺随之产生,主要是利用 DRIE 技术制作精确尺寸的质量块,再通过键合技术将多层结构组合起来。由于采用单晶硅作结构,残余应力被降低到最小,使器件性能大为提高。

2.1 高深宽比硅刻蚀技术研究

在传统的反应离子刻蚀技术中,常使用以 Cl_2 或 Br_2 为主的刻蚀气体来进行高深宽比硅刻蚀。这些气体会造成刻蚀系统的腐蚀和大量聚合物的沉积。聚合物对刻蚀结果的影响很大。一些随机生成的聚合物就会导致底部和侧壁的粗糙不平。还有这种刻蚀后的样品表面十分粗糙,基本上不反光,在显微镜下观察时是全黑的,因此常被称为黑硅(black silicon)。ICP (inductively coupled plasma) 刻蚀技术的出现,很大程度上克服了这些缺点,使反应离子刻蚀技术获得了很大的发展,并且在高深宽比硅刻蚀以及其他一些化合物半导体材料的刻蚀方面得到了成功的应用。

先进的硅深槽刻蚀技术采用了高密度等离子刻蚀系统(以 STS Multiplex ICP 为代表)。这一刻蚀技术的最大优越性是

只使用氟基气体作为刻蚀剂和侧壁钝化用聚合物生成剂,从根本上解决了系统腐蚀和工艺尾气的污染问题。该技术的关键是采用了刻蚀与聚合物淀积分别进行以及二者快速切换的工艺过程。同时采用了射频电源相控技术使离子源电源和偏压电源的相位同步以确保离子密度达到最高时偏压也达到最高,使高密度等离子刻蚀的优势得到充分的发挥^[2,3]。

2.1.1 高深宽比刻蚀工艺结构及结果^[4]

高深宽比硅槽刻蚀工艺所追求的主要指标之一是各向异性比或深宽比。通常所采用的是刻蚀性气体与聚合物生成气体混合的刻蚀方法。刻蚀时两者的作用会在很大程度上相互抵消。由于刻蚀和聚合的作用同时存在使得刻蚀环境十分复杂,工艺的窗口相对比较窄,而且工艺的重复性也难以控制。在这种条件下,不仅会引起刻蚀速率下降和不均匀,而且由于侧壁聚合物会随着刻蚀的进行而加厚,最终使刻蚀的深槽为近似 V 字型,见图 1。这种刻蚀结果是不能满足 MEMS 器件加工要求的。

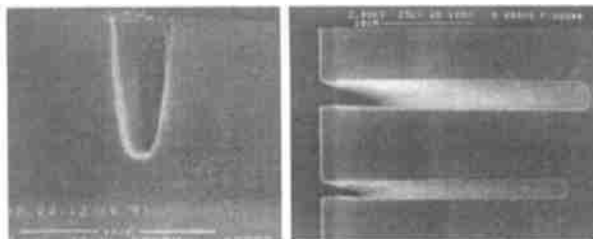


图 1 常规刻蚀系统混合氟基气体硅深槽刻蚀结果

图 2 高深宽比硅刻蚀结果电镜照片

由此可以看出,要想获得比较好的深刻蚀结果就应当避免这两种作用的同时进行。氟基刻蚀剂可与硅发生比较强烈的自发反应,但仅靠 F^+ 的刻蚀不可能达到高深宽比刻蚀的要求。聚合过程是高深宽比刻蚀所必需的。可以设想将这两种作用分离,让它们独立发生并合理组合就有可能将各自的优势表现出来,进而获得比较好的高深宽比刻蚀结果。

STS Multiplex ICP 系统正是具备了这种独立控制刻蚀和聚合这两个过程的功能,并且可以实现两种功能的快速切换。这就为高深宽比硅刻蚀提供了一种新的快速手段——先进的硅刻蚀技术(ASE)。这一技术用 SF_6 作为刻蚀剂, C_4F_8 作为聚合物产生剂,而且刻蚀与聚合交

表 1 高深宽比刻蚀

结果内容	结果数据
刻蚀深宽比	> 20 : 1
侧壁垂直度	< 90 ± 1°
侧壁平坦度	< 150nm
对光刻胶选择比	> 80 : 1
对氧化硅选择比	> 150 : 1
刻蚀速率	2.1 μm/min
片间均匀性	< ± 5 %
片内均匀性	< ± 5 %

替进行。在刻蚀过程中,离子源电源和偏压电源同时工作,使反应室通入的 SF_6 产生 F^+ 对硅进行不完全各向异性刻蚀。在每完成一个刻蚀和聚合的周期后硅槽内都不会有聚合物残留,这就克服了深刻蚀过程中槽内聚合物的大量残留以及难以清除的技术难题,实现了高深宽比硅槽的“清洁”刻蚀。这种刻蚀结果对 MEMS 结构的加工是非常重要的,因为对已经完成了刻蚀的 MEMS 结构来说,任何方式的清洗都可能造成结

构的破坏.在这种刻蚀技术中,虽然每次刻蚀过程只有 4:1 的各向异性比,但由于聚合物的侧壁钝化作用使刻蚀只在垂直方向累加,而侧壁上只是留下了一系列 100nm 左右的起伏波纹.所以每经过一次循环,各向异性比都会增加 4:1.对于深度为 20 微米的深槽刻蚀只需要 37 次循环的累加,这时的各向异性比应为 150 左右,实际的电镜测量也证明了这一点,见图 2.采用上述工艺过程进行的高深宽比硅刻蚀实验结果见表 1.

2.1.2 提高刻蚀槽侧壁平坦度工艺研究^[4]

上面的实验结果基本上可以满足微机械结构加工的要求.但对于采用侧壁电容取样的结构和谐振陀螺的梳齿结构来说侧壁粗糙度数值仍偏大.在前面的讨论中曾提到,侧壁波纹的出现主要是由于在 SF_6 和 C_4F_8 切换时 F^+ 和 F^+ 的自由热运动引起了各向同性刻蚀.实验结果表明缩短两种气体的切换时间和交叉时间能够改善侧壁平坦度.这一工艺从减少钻蚀和增加单位时间内的气体切换次数两个方面部分解决了侧壁平坦度的问题,平坦度从 150nm 减小到 50nm 以下,其刻蚀结果如图 3 所示.但是,从工艺结果可以看出,在提高平坦度的同时刻蚀速率的损失也是很大的.因此,从体硅 MEMS 器件加工的实际要求来说,一方面要追求侧壁平坦度,同时也要有一定的刻蚀速率.减小侧壁不平度对于改善微机械器件的性能,如陀螺等谐振结构的振动失真和提高测量精度等,都是很重要的.但要想从根本上消除这种由于刻蚀过程中气体切换引起的侧壁波纹是不可能的,这是此种刻蚀模式获得刻蚀高深宽比的代价.



图 3 平坦侧壁刻蚀的电镜照片

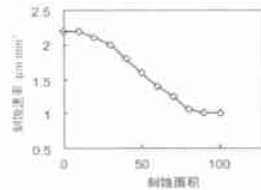


图 4 刻蚀速率与刻蚀面积的关系(负载效应)

高深宽比硅刻蚀技术另一个问题是刻蚀速率,这是刻蚀工艺中一项很重要的指标.该技术 $2.0\mu m/min$ 的刻蚀速率已远超出了其他刻蚀技术所能达到的水平.实验结果表明,这种刻蚀技术中的刻蚀速率在一个比较大的工艺窗口内的变化比较小,基本可保持在 $1.8 - 2.2\mu m/min$ 的范围内.实验证明,刻蚀速率与样品的掺杂类型、掺杂浓度和单晶的取向都无关.在这一刻蚀技术中,真正影响到刻蚀速率的因素是负载效应,见图 4.刻蚀面积越大刻蚀速率就越低.这是一个无论使用常规或高密度反应离子刻蚀系统进行氟基气体刻蚀时都会遇到的问题.因此,在制订刻蚀时间时必须考虑这个因素.

2.1.3 Lag(刻蚀速率迟滞)效应

Lag 效应是高深宽比刻蚀中的一个重要问题.这一效应表现为随着刻蚀深宽比的增加刻蚀速率会明显下降,如图 5(a)所示,宽度大的槽刻蚀速率快,反之则刻蚀速率慢.产生这种现象的主要原因有:(1)深槽开口比较窄时反应物与生成物的输运受到阻碍;(2)在窄槽空间内由于电场作用有相当一

部分离子被吸引到侧壁造成纵向刻蚀速率下降.实验结果表明功率、反应压力和钝化时间对 Lag 效应有明显的影响.实验结果如图 6(a、b、c)所示,压力增加、功率减小和钝化时间加长都可使 Lag 效应降低.经过大量的试验,本实验室成功地 Lag 效应从深度相差 23% 减少到 5% 以下,如图 5(b).

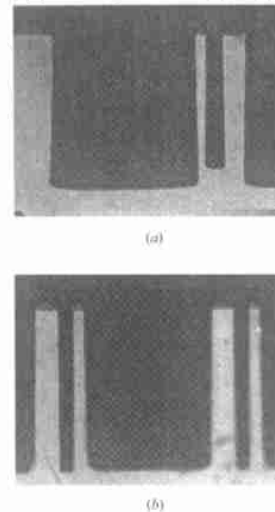


图 5 高深宽比刻蚀中的 Lag 效应对比

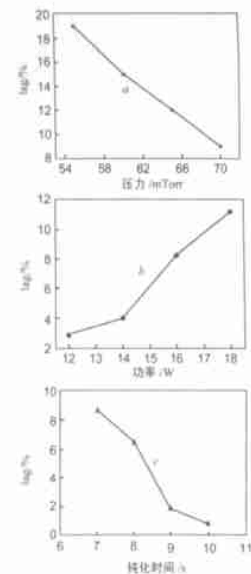


图 6 压力、功率和钝化时间对 Lag 效应的影响

2.1.4 高深宽比多级台阶结构刻蚀技术

常规的 IC 工艺在进行相对复杂的微机械部件加工时就表现出了明显的局限性.上述高深宽比刻蚀技术的突破将基于硅平面工艺的 MEMS 技术向前推进了一大步,使硅基结构的加工从二维扩展到了三维.但从硅微机械结构的加工需求方面看,简单的高深宽比加工硅结构方法还不能满足需要,因为这种加工方法只是将 $X、Y$ 平面上的二维图形进行 Z 方向的延伸,其加工只能在 Z 方向上直线进行,这是一种准三维加工.为了使基于微电子工艺的 MEMS 技术有更强的加工能力和更灵活的加工方法,使其集成化、微型化、高性能的特点得到更充分的发挥,我们进行了 Z 方向上台阶刻蚀的研究.

在微电子工艺中由于各层薄膜材料的厚度多在微米以下,所形成的各台阶高度也在微米尺度内,基本上不会影响其后的薄膜淀积、光刻胶涂布等工艺的继续进行.而在深刻蚀之后硅片表面的台阶高度达几十甚至数百微米,根本无法再进行涂胶、光刻等工艺加工.因此,要实现三维加工的关键在于解决深刻蚀掩膜的制备.根据这一构想我们设计了两种掩膜方式.一种是复合材料掩膜方式,另一种是单一材料的台阶掩膜方式.在复合材料掩膜方式中采用了热生长 SiO_2 、LPCVD Si_3N_4 、溅射 Al 和光刻胶四种掩膜材料.整个制备过程分三次光刻,所得到的掩膜如图 7 所示.选择这几种材料作掩膜的根据是它们是微电子工艺中的常用材料,而且都可以作为硅深刻蚀的掩膜.由于硅深刻蚀工艺有很好的各向异性特性,因此保证了台阶刻蚀过程中台阶断面的转移成为可能.

在单一材料的台阶掩膜方式中仅采用 SiO_2 做掩膜材料,

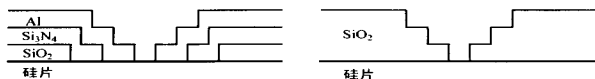


图 7 复合材料掩膜方式

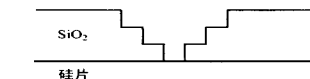


图 8 单一材料的台阶掩膜方式

通过光刻将其每次都腐蚀下去一定深度,最终得到一个台阶形的深刻蚀掩膜结构,图 8 在掩膜结构中每层台阶的高度由要刻蚀的深度来决定.经过反复的实验我们用两种掩膜方式均实现了非常好的三层台阶结构,如图 9.

两种掩膜方式各有其特点:复合掩膜各层膜厚通过淀积或生长来准确控制,各层膜的边界分明,但工艺复杂且较难实现更多层的结构,而且 Si_3N_4 膜厚受生长因素的影响不能很厚.所以 Si_3N_4 作掩膜的刻蚀台阶

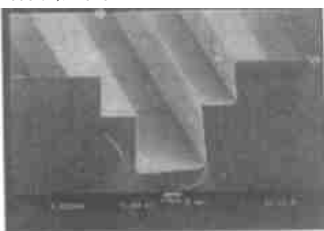


图 9 三层台阶结构刻蚀

很难高于 $15\mu\text{m}$.单一 SiO_2 台阶掩膜制备方法简单,原则上台阶级数不受限制,但各层台阶间的边界不够清晰,若残留膜处理不当还会在接下来的深刻蚀过程中对台阶的凸角处造成损伤.综合两种方法的特点并从实际工艺的角度出发,单一 SiO_2 台阶掩膜可能更具发展潜力,但需要更进一步的优化工艺条件.而复合结构掩膜由于每层掩膜材料对其它层材料和衬底具有很好的选择性,所以对一些特殊结构来说,有其明显优势.

2.2 键合技术及相关检测技术研究

键合技术是随着集成电路和微机械的发展出现的一种加工技术.1969 年 Wallis 和 Pomerantz 提出了静电键合技术,可以把金属、合金或半导体与玻璃直接封装在一起,而不需要任何粘接剂^[5].热键合技术是由 Lasky 首先提出的,它可以使两个硅片通过高温处理直接键合到一起^[6].键合技术可广泛用于传感器、执行器、微结构、三维集成电路和光电子的制造中.它的出现使得微机械设计更为灵活.

2.2.1 硅/硅热键合

硅/硅键合最终是靠加热促使氢键发生聚合反应生成 SiO_2 来完成的,因此键合前硅片表面的处理是关键,以使硅片表面吸附足够多的 OH^- .根据这一原理,我们通过实验总结出了一套标准的亲水处理工艺:分别用 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 、RCA2、RCA1 清洗,清洗过程必须严格遵守操作规范,其中包括对溶液浓度配比、加热时间、冲水时间的控制等,以增强两键合面的亲水性.此外,硅/硅键合能否实现还取决于 Si 片表面的起伏度(也称平整度),通常需在 5\AA 以下.在保证以上两个条件的情况下,180 的退火温度就能保证较大的键合强度.图 10 给出了 4 英寸硅/硅 180 键合后的红外测试图,可见键合面积大于 90%.拉力测试表明,大部分样品在胶开裂之前,完好无损,可测得的最高键合强度大于 9MPa.

2.2.2 硅/镍/硅键合

针对硅片表面平整度对键合质量影响很大这一问题,我们提出了采用金属做为中间层进行键合的方案.由于多数金

属的硬度比硅低,所以将金属作为中间层置于两硅片间加压后,会因金属形变而使键合面的间隙变小,从而获得较好的键合效果.同时,加压加温会使加在硅片间的金属与硅紧密接触发生反应形成硅化物,这也有助于完成两个硅片的键合.试验发现 Pt、Ni 与硅可在较低的温度下形成硅化物,但由于 Pt 成本高,所以我们以 Ni 作为键合介质进行了实验.通过溅射方法,在一个硅片表面淀积 400 埃左右的 Ni,再将另一硅片与带 Ni 层的硅片相对并加压加温.实验结果表明,当温度高于 280 时, Ni 就可与硅发生反应生成硅化物,440 下,硅/镍/硅键合质量良好,键合面积大于 90%,如图 11 所示^[7].



图 10 4 英寸硅/硅 180 键合红外测试图

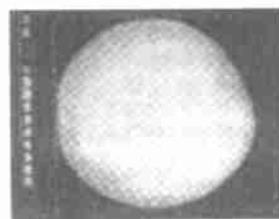


图 11 硅/镍/硅键合面积超声波测试

2.2.3 硅/玻璃静电键合技术研究^[8,9]

在硅/玻璃键合过程中 PYREX 玻璃会有一定的软化,因此,对衬底表面的平整情况要求不很严格,键合比较容易实现,所以可广泛的应用.为配合这一技术在实际中的应用,我们对硅/玻璃键合做了多方面实验,优化了工艺条件.影响硅/玻璃键合的因素主要有:(1)温度对键合的影响温度是决定键合电流和影响玻璃软化的一个重要参数.实验表明,温度小于 300 时,电流较小,键合速度缓慢;温度在 400 - 450 时,电流比较理想,且能保证玻璃适当软化,达到最好的键合效果.在这一温度范围内, PYREX 和 HOYA SD 玻璃均与 Si 的热膨胀系数十分接近,因此,不会在键合面引入应力.(2)电压对键合速度的影响适当提高电极电压 ($< 2000\text{V}$) 可增大键合电流值,提高键合速率.(3)反应室内的环境压力对键合速度的影响与常压条件相比,在真空环境下,由于衬底与承片台间的热阻加大,导热系数减小,会引起键合速度的下降,即真空键合需要更长的时间.(4)不同的电极形状对键合效果的影响对于点电极来说,由于其两组电极的特定分布及在两组电极上施加电压先后顺序的不同,确保了在整个键合过程中没有气体被密封在键合面中间.因而可获得较高的键合率,键合面积基本可达 100%,但键合效率低.而平行板电极键合速度相对较快,但由于电极的大面积分布,容易导致气体被封在键合面中间.我们通过适当降低环境压力,即以有限减小键合速度为代价,改善了平行板电极下键合的质量.

我们还进行了硅/氧化硅/玻璃结构的静电键合实验,和键合面间夹有引线电极的硅/氧化硅/玻璃结构的键合实验,并对这一结构间气密性进行了漏率检测.研究结果表明,当硅与氧化硅厚度从几十到 300nm 范围内,硅/氧化硅/玻璃这一结构的静电键合不存在问题;当氧化硅厚度增加时,键合电流下降的时间加长;当将键合电压从 1000V 提高到 1500V 后,氧

化厚度在 300nm 时,键合时间及面积与 1000V 时硅/玻璃直接键合的结果相同;当氧化硅增加到 400nm 后,键合面存在空隙,键合无法完成.因此,硅/氧化硅/玻璃键合时氧化硅的最大厚度应限定在 300nm 以内.300nm 的热氧化硅直流击穿电压在 200V 以上,能满足大多数 MEMS 器件电绝缘的要求.300nm 氧化硅电容约为 $0.11\text{fF}/\mu\text{m}^2$.由于多数 MEMS 器件用电压取样,电流较小,引出电极不会很宽,分布电容的影响可以忽略.我们分别对玻璃片上无电极和有电极的情况进行了键合试验.结果表明,只要 PYREX 玻璃上 Ti/Pt/Au 电极凸起高度不超过 100nm,键合的质量不受影响,重复性好.

3 表面牺牲层技术关键工艺研究

表面牺牲层工艺是典型的薄膜工艺,其技术特点与集成电路工艺兼容.因此,表面牺牲层工艺从其诞生起发展方向就是集成化.表面牺牲层工艺发展的另一特点是多层化.由于机械结构的复杂性,仅采用单层结构往往不能制备出所需构件,多层化是其必然的发展趋势.虽然表面微机械工艺与 IC 加工工艺相近,但由于制作机械可动结构与电子器件的要求不同,表面微机械仍具有特殊性,主要表现在多晶硅薄膜应力控制和防粘附等方面.

3.1 多晶硅薄膜的应力控制研究^[10]

在表面微机械工艺中,多晶硅薄膜作为主要的结构材料有着广泛应用.由于多晶硅薄膜本身存在着应力分布的不均匀性,结构释放后会造成微机械结构的弯曲变形甚至断裂,严重的影响着器件性能和稳定性、可靠性.所以,控制制备工艺条件使多晶硅膜具有较小的应力,成为表面微机械器件制备中的一个关键问题.零应力是十分理想的,但在实际工作中难以将薄膜的应力降到零.因此,获得小张应力,也就是使多晶硅薄膜略微向上翘曲,将十分有利.为了解决表面微机械结构制备中这一问题,我们深入系统地研究了淀积温度、掺杂、退火方式、退火温度和时间对多晶硅薄膜应力特性的影响,并从薄膜微结构的角度分析了这些影响产生的原因.

3.1.1 淀积温度和离子注入掺杂对多晶硅膜应力的影响

表 2 给出了不同淀积温度和不同离子注入掺磷浓度的多晶硅薄膜应力测试结果.结果表明,在 575、610 下淀积的多晶硅薄膜的应力均为压应力,但 575 淀积膜的应力明显

表 2 不同淀积温度和离子注入掺杂浓度对多晶硅薄膜应力的影响

序号	淀积温度/ °C	注入掺杂(磷)		应力 / $\times 10^4 \text{N} \cdot \text{cm}^{-2}$	
		能量/keV	浓度/ cm^{-2}	掺杂前	掺杂后
1	610	100	4×10^{14}	-1.35	-1.45
2	610	100	8×10^{14}	-2.04	-2.10
3	610	100	8×10^{15}	-1.71	-2.06
4	610	未注入		1.69	
5	610	未注入		-2.13	
6	575	100	2×10^{16}	-0.31	-0.75
7	575	未注入		-0.19	

低于 610 淀积膜的应力,而离子注入磷掺杂使多晶硅薄膜的压应力增强.

图 12(a)和(b)分别给出了 575 和 610 淀积的多晶硅薄膜的 XRD 谱.575 下制备的多晶硅膜具有较小的晶粒尺

寸,平均为 16~17nm;虽然(111)晶向的峰较强,但(220)(即(110))和(311)等晶向的峰也都出现了;同时,薄膜含有明显的无定型非晶成分.610 下制备的多晶硅膜样品晶粒尺寸较大,平均为 33nm;晶粒生长具有明显的(110)择优取向,其他晶向的峰强度很小甚至消失;而且不含有无定型成分.文献[11]中指出,在不同温度下淀积多晶硅时,其微结构将从非晶向多晶转变,转变温度在 570 左右.因此,我们在 575 下淀积的薄膜包含有非晶和多晶的混合相.这种结构的晶粒尺寸小、晶粒间界面面积较大.由于其有较强的(111)取向性,而这种取向又有明显的张应力增强作用^[10],从而使 575 下淀积的多晶硅薄膜的压应力变小,呈现出小压应力特性.610 淀积的多晶硅膜晶粒较大,有很强的(110)择优取向,而(110)晶向有增强压应力作用^[10],因此 610 下淀积的多晶硅薄膜有较大的压应力.另外,由于离子注入掺杂在 Si 中产生大量的缺陷和损伤,使压应力增大.

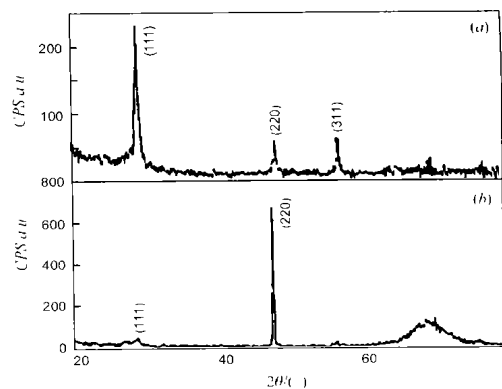


图 12 (a)575 ;(b)610 下淀积的多晶硅薄膜 XRD 谱

表 3 炉退火对多晶硅膜应力和应力梯度的影响

序号	工艺条件	退火温度/°C	退火时间/h	应力/ $\times 10^8 \text{Pa}$	应力梯度/ $\times 10^8 \text{Pa}/\mu$
1	610 淀积, 注磷, 100keV, $1 \times 10^{15} \text{cm}^{-2}$	950	未退火	-2.5	-1.25
2			0.5	-1.10	-0.96
3			4.0	-0.83	-0.41
4	610 淀积, 注磷, 100keV, $1 \times 10^{15} \text{cm}^{-2}$	1000	未退火	-3.05	-1.53
5			1.0	-0.84	-0.42
6			5.0	-0.64	-0.32

3.1.2 不同退火方式和条件对多晶硅薄膜应力的影响

我们采用了炉退火和快速退火(RTA)两种退火方式,并对不同掺杂的多晶硅膜进行实验研究.图 13 和 14(图中的样品编号和表 2 样品的序号相对应)分别为快速退火温度和时间对不同生长条件下的多晶硅薄膜应力的影响.表 3 给出了炉退火条件对不同生长条件下的多晶硅薄膜应力的影响.无论是炉退火还是快速退火都表现出应力松弛的趋势,即随着退火温度增加和退火时间加长,多晶硅薄膜的应力不断减小.1000 下炉退火大于 1 小时后,掺杂多晶硅应力可减小 4~6 倍,但应力始终为压应力.从图 3 可以看出,快速退火应力松弛的温度(即应力为零的点)与掺杂浓度有关,未掺杂多晶硅

薄膜的应力松弛温度约为 1000 ,而掺杂使多晶硅薄膜的应力松弛温度降低.图 13 和 14 结果表明快速退火可以使多晶硅薄膜的应力从压应力转变为张应力. RTA 退火 1100 ,时间为 > 20s 时,可使 575 淀积的多晶硅薄膜应力从压应力转变为张应力.

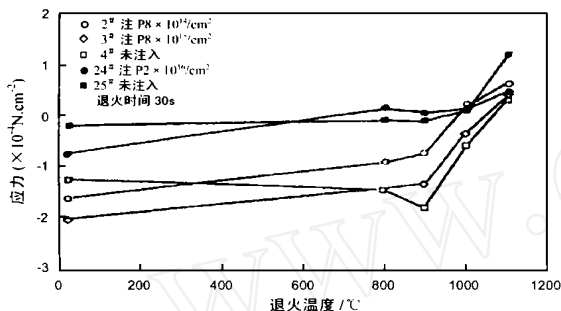


图 13 多晶硅薄膜应力与快速退火温度的关系

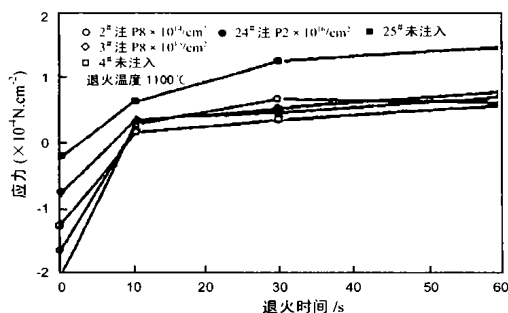


图 14 多晶硅薄膜应力与快速退火温度的关系

我们对退了退火前后的样品的 XRD 谱.经退火后衍射峰强度随退火温度升高而加强,并且晶粒尺寸增大.经 1100 、30s 退火后,575 下淀积的多晶硅膜掺杂样品的晶粒尺寸增至 21nm;610 下淀积的多晶硅薄膜未掺杂样品的晶粒尺寸增至 40.5nm,而掺杂样品长大至 46nm 左右,这证明掺磷有促使晶粒长大的作用.多晶硅薄膜经退火后晶粒长大,并且其衍射峰强度增强,表明发生了再结晶.再结晶是通过晶粒间界扩散使晶粒长大的,同时晶粒间界面面积变小,使体积收缩,产生张应变^[10],从而使压应力得到松弛,到一定程度甚至使薄膜应力由压应力变成张应力.掺磷促进了再结晶过程,有利于压应力的松弛,因此掺杂样品松弛温度稍低于未掺杂样品.

3.2 防粘附技术研究

粘附效应是表面牺牲层工艺的主要障碍.其表现形式是牺牲层腐蚀完成后,需要用去离子水清洗硅片并用干,此时多晶硅薄膜构成的微机械结构层常与衬底表面粘附,且此种粘附很难解除,对器件成品率有很大影响.目前认为粘附效应产生的机理是在用干(或其他干燥处理方法)过程中,存在于机械结构层与衬底表面间的液体发生流动,产生的表面张力将结构层拉向衬底,一旦结构层的弹性恢复力不能抵抗表面张力产生的拉力,结构层将与衬底表面发生接触.此后,由于结构层下表面与衬底表面间的范德瓦尔斯力、静电力和键合力将发生作用,把衬底和结构层牢牢的粘附在一起.而要克服上述诸力将结构层与衬底分开是十分困难的.

由于粘附现象的影响巨大,世界各国 MEMS 的研究者开发了多种防粘附技术.主要有采用疏水性溶剂后处理、强氧化剂后处理、超临界 CO₂ 后处理、升华法处理、胶支撑法及表面贴附磁性材料等工艺方法.其中,超临界 CO₂ 后处理技术、胶支撑法和升华法是较为成功的^[12].我们提出了一种新方法——双掩膜支撑法来解决粘附问题,该技术的优点是无须增加专用设备,而是通过两次掩膜的方法防止结构层在干燥过程中与衬底粘附.

双掩膜支撑法的基本工艺原理是在多晶硅结构制备过程中,同时形成许多与衬底相连的多晶硅柱,这些支柱在结构释放过程中起到支撑作用,使其与干燥过程中去离子水或清洗液产生下拉的表面张力相抵消,从而防止了结构层与衬底的粘附.其具体工艺过程为:在多晶硅结构层上淀积一层不易被牺牲层腐蚀液腐蚀的材料如氮化硅,作为结构层的掩膜,在其上再涂覆一层光刻胶先刻出腐蚀孔,去胶后进行牺牲层腐蚀,清洗干燥后,再利用已有的氮化硅掩膜,干法刻出多晶硅结构,并同时把多晶硅支柱去除,最后再用干法刻除氮化硅掩膜材料.本方法的主要优点是立足于版图设计,只增加掩膜次数而不需任何新的工艺和设备,就能有效的解决粘附问题.利用该法成功的释放了长为 500 μ m 的带氮化硅膜的悬臂梁结构.刻蚀氮化硅后,200 μ m 长的多晶硅悬臂梁全部成功释放,如图 15 所示^[13-15].

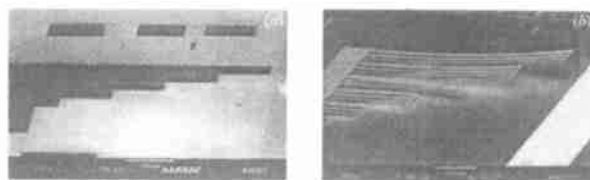


图 15 (a)埋掩膜支撑结构法防粘附工艺处理后未去除掩膜的悬浮结构;(b)刻除掩膜后的可动悬浮结构

4 标准工艺

在以上关键工艺研究的基础上,为配合 MEMS 器件研究,我们开发出了四套 MEMS 全套工艺,并利用这些工艺加工了 MEMS 器件,获得良好结果.通过多次实验,这四套工艺日趋成熟.到目前为止,已将这四套工艺初步标准化,形成对外发布的标准工艺,并已用于对外服务.这四套工艺包括三套体硅工艺和一套表面工艺,它们各有自己的特点,适用于不同的 MEMS 器件加工要求.

4.1 体硅工艺 I

体硅工艺 I 的流程图如图 16 所示.主要技术特点是采用了硅/玻璃对准键合和高深宽比 ICP 刻蚀释放两项关键技术.主要优点是工艺流程简单,全部工艺只需要三次光刻,成品率比较高,工艺成本较低,制备的质量块较大,最厚可达近 100 微米.特别是器件的可动结构材料是单晶硅,材料的内应力很小,而在加工工艺中又尽量避免了高温工艺和其他材料在结构层上的复合,因而最终获得的结构的应力和应力梯度将会很小.同时单晶硅材料的机械特性(如疲劳强度)好,这些都保证了结构的机械性能优越.本工艺已用于制备横向电容式微型加速度计和陀螺表头,图 17 给出本工艺制备的微型陀螺表

头 SEM 照片。

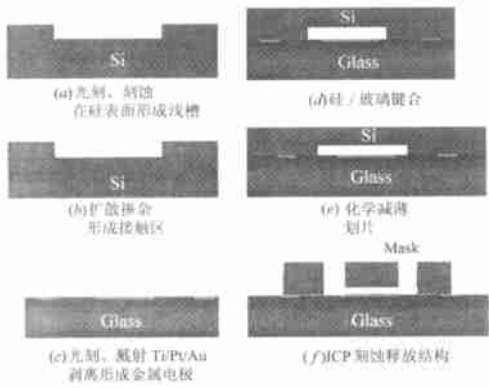


图 16 体硅标准工艺 流程

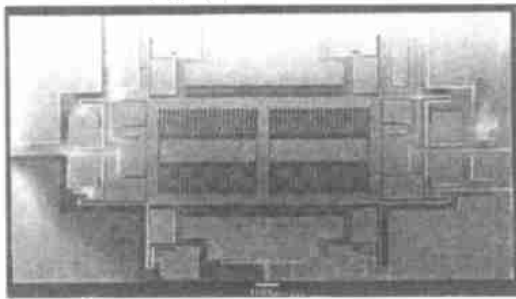


图 17 采用体硅工艺 制备的陀螺头照片

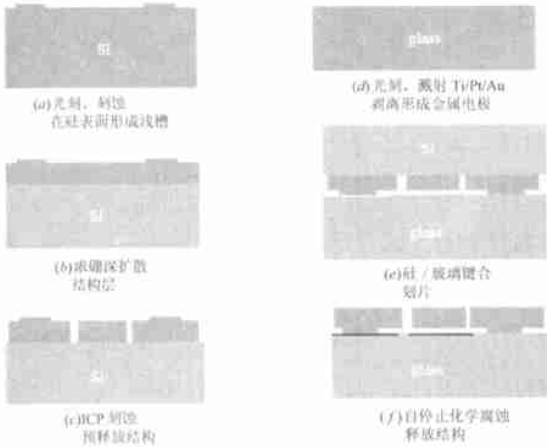


图 18 体硅工艺 流程

4.2 体硅工艺

所开发的第二种体硅工艺的流程如图 18 所示. 本工艺的主要是结合了浓硼深扩散、自停止腐蚀、硅/玻璃对准键合和高深宽比 ICP 刻蚀等关键技术. 其主要优点是纵向结构控制准确、薄膜厚度均匀、

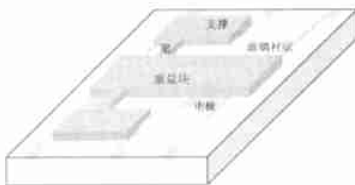


图 19 体硅工艺 制备的 MEMS 器件结构示意图

制备的质量块最大厚度依赖浓硼的扩散深度, 一般为 20 微米左右. 本工艺已用于微型陀螺和加速度计的加工, 示意图见图 19.

4.3 体硅工艺

所开发的第三种体硅工艺的流程如图 20 所示. 本工艺

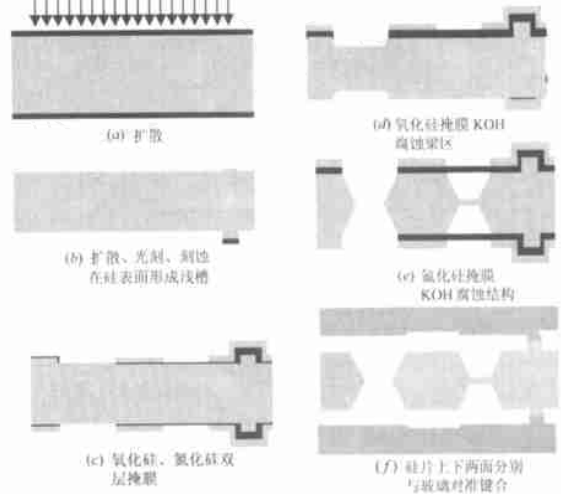


图 20 体硅工艺 流程

的主要技术特点是以传统 KOH 腐蚀工艺为主, 并结合了硅/玻璃静电键合工艺. 主要优点工艺简单, 制备的质量块大. 本工艺已用于硅微型加速度计的加工, 示意图见图 21.

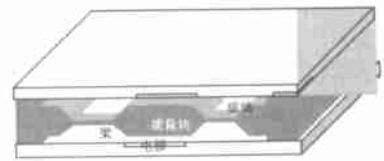


图 21 体硅工艺 III 制备的 MEMS 器件结构示意图

4.4 表面工艺

表面牺牲层加工

(表面微机械) 技术是一种主要的 MEMS 加工手段, 目前国际上开发最成功的 MEMS 器件 ADXL 系列加速度计就是采用该技术完成的. 其特点是使用与集成电路工艺相类似的薄膜加工工艺, 容易与集成电路集成制作. 本实验室已开发成功表

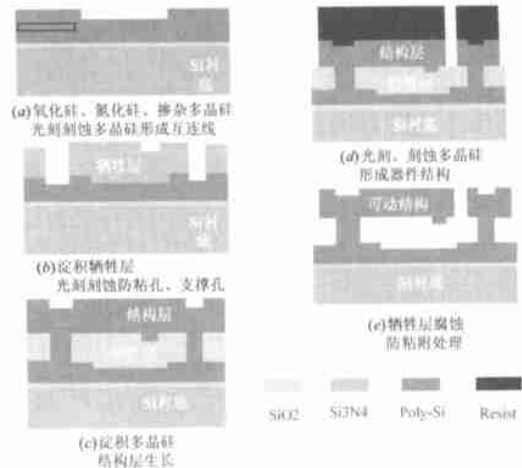


图 22 表面牺牲层工艺流程

面牺牲层技术全工艺流程,获得了具有一定成品率的可动微机械单元.图 22 所示为表面微机械工艺的流程.图 23 为用该标准工艺实现的谐振器.

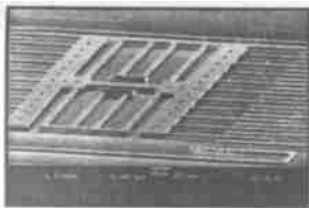


图 23 用表面工艺制备的谐振器照片

5 结论

本文论述了北京大学微电子研究院微/纳米加工技术

国家级重点实验室研究开发的四套 MEMS 标准工艺,其中包括三套体硅标准工艺和一套表面牺牲层标准工艺.比较全面地研究了体硅工艺和表面牺牲层工艺中的关键技术.就体硅工艺主要进行了以下研究:研究了高深宽比刻蚀工艺、优化了工艺条件;解决了高深宽比刻蚀中的 Lag 效应;开发了复合掩膜高深宽比多层硅台阶刻蚀和单一材料掩膜高深宽比多层硅台阶刻蚀工艺;硅/硅键合、硅/镍/硅键合、硅/玻璃键合工艺的研究与优化;自行研制了键合质量监测系统和对准键合精度检测系统.就表面牺牲层工艺主要进行了下列研究:多晶硅薄膜应力控制工艺;防粘附技术的研究与开发.取得了如下系列新的结果,已用于指导实践:(1)在槽宽 $2\mu\text{m}$ 时刻蚀深宽比达到了 20,槽宽 $4\sim 5\mu\text{m}$ 时深宽比最大可达 30 以上,侧壁的垂直度达到 $90\pm 0.2^\circ$;开发了 RIE lag 抑制技术:Lag 效应低于 5%;利用多层掩膜和单层掩膜实现了多层硅台阶结构刻蚀技术.(2)在低于 200 下实现了 4 英寸硅/硅键合,键合面积大于 90%,键合强度大于 9Mpa;提出了一种以硅化镍为中间层的硅/硅键合技术,在 440 下,硅/Ni/硅键合质量良好,键合面积大于 90%;硅/介质层/硅低温键合研究表明:介质层厚度在 300nm 以内仍能保持良好的键合质量.(3)退火温度增加和退火时间加长膜的内应力减少;再结晶使晶粒间界面面积变小,体积收缩产生张应变,从而使薄膜压应力减小甚至变成张应力;掺磷促进了再结晶过程,因此掺杂样品应力释放温度稍低于未掺杂样品.(4)提出了一种新防粘附技术:埋掩膜支撑法,取得了较好效果.

致谢 参加本文工作的还有微/纳米加工技术国家级重点实验室的研究人员和工程技术人员:王兆江、张录教授级高工、田大宇、罗葵、刘诗美高级工程师和王玮、邓珂工程师等.虽然本文不能一一列出,但没有他们的参予和贡献,是不可能取得上述成果的.对于他们的辛勤劳动,在此我们表示诚挚的感谢.

参考文献:

- [1] 郝一龙、张立宪、李婷、张大成. 硅基 MEMS 技术 [J]. 机械强度, 2001, 23(4), 523 - 526.
- [2] A A Ayón, R Braff, C C Lin, H H Sawin, M A Schmidt. Characterization of a time multiplexed inductively coupled plasma etcher [J]. MIT, MA, USA, Journal of The Electrochemical Society, 1999, 146(1): 339 - 349.
- [3] A A Ayón, C C Lin, R A Braff, M A Schmidt. Etching characteristics and profile control in a time multiplexed inductively coupled plasma etch [A]. Solid-State Sensor and Actuator Workshop [C]. Head, 1998: 41 - 44.
- [4] Dacheng Zhang and et al. High aspect ratio Si etching technique and application [A]. CIE & IEEE E. D Society: 5th ICSICT [C]. Beijing: 1998: 91 - 93.
- [5] G Wallis, D I Pomerantz. Field assisted glass-metal sealing [J]. J Appl. Phys., 1969, 40: 3946 - 3969.
- [6] J B Lasky. Wafer bonding for silicon-on-insulator technologies [J]. Appl. Phys. Lett., 1986, 48: 78 - 80.
- [7] Zhixiong Xiao, Guoying Wu, Guobing Zhang, Zhihong Li, Yilong Hao, Wenru Chen, Yangyuan Wang. Low temperature silicon wafer-to-wafer bonding with nickel silicide [J]. J Electrochem. Society, 1998, (4): 80 - 82.
- [8] Zhixiong Xiao, Guoying Wu, Zhihong Li, Guobing Zhang, Yilong Hao, Yangyuan Wang. Silicon-glass wafer bonding with silicon hydrophilic fusion bonding technology [J]. Sensors and Actuators, 1999, 72, 46 - 48.
- [9] Zhixiong Xiao, Guoying Wu, Dacheng Zhang, Guobing Zhang, Zhihong Li, Yilong Hao, Yangyuan Wang. Silicon/glass wafer-to-wafer bonding with Ti/Ni intermediate bonding [J]. Sensors and Actuators, 1998, 71: 123 - 126.
- [10] 张国炳, 郝一龙, 田大宇, 刘诗美, 王铁松, 武国英. 多晶硅薄膜应力特性研究 [J]. 半导体学报, 1999, 20(6): 263 - 467.
- [11] G Harbecke. Growth and physical properties of LPCVD polycrystalline silicon films [J]. J Electrochem. Soc., 1984, 131: 675.
- [12] 王阳元, T I 卡明斯, 赵宝英, 等. 多晶硅薄膜及其在集成电路中的应用 [J]. 北京: 科学出版社, 2001, 第二版, 554 - 562.
- [13] Zhixiong Xiao, Yilong Hao, Guobing Zhang, Guoying Wu, Zhihong Li, Wenru Chen, Shimei Liu, Ting Li, Tiesong Wang, Yangyuan Wang. A new process for releasing micromechanical structures in surface micromachining with polysilicon support and LPCVD Si₃N₄ embedded mask [J]. Sensors and Actuators A, 1999, 72: 189 - 194.
- [14] Hao Yilong, Li Ting, Shimei Liu, Tian Dayu, Luo Kui, Deng Ke, Wang Tiesong. A new release process in surface micromachining-double mask technology [A]. 1998, CIE & IEEE E. D Society: 5th ICSICT [C]. Beijing: 1998: 91 - 93.
- [15] Zhixiong Xiao, Yilong Hao, Ting Li, Guobing Zhang, Shimei Liu, Guoying Wu. A new release process for polysilicon surface micromachining using sacrificial polysilicon anchor and photolithography after sacrificial etching [J]. J Micromech. Microeng. 1999, 9: 300 - 304.

作者简介:



王阳元 男, 1935 年 1 月生于浙江宁波, 1958 年毕业于北京大学物理系. 现为北京大学教授, 博士生导师, 中国科学院院士, 北京大学微电子学研究所所长, 中国电子学会常务理事, 《半导体学报》和《电子学报》(英文版) 副主编, 《微电子学科学丛书》主编. 国家产业政策专家咨询委员会委员, 信息产业部科技委委员 (电子), 国际固态电路会议 (ISSCC) 远东程序委员会委员, IEE Fellow 和 IEEE Fellow 等. 现从事微电子学领域中新器件、新工艺和新结构电路的研究, 发表论文 160 多篇, 出版著作 6 部. 现有 16 项重大科技成果. 获全国科学大会奖, 国家发明奖, 国家教委科技进步一等奖, 光华科技基金一等奖等共 13 项国家级和部委级奖励.